

(54) NON-VOLATILE MEMORY DEVICE

(11) 58-215795 (A) (43) 15.12.1983 (19) JP

(21) Appl. No. 57-98308 (22) 8.6.1982

(71) TOKYO SHIBAURA DENKI K.K. (72) NORIYUKI TANAKA

(51) Int. Cl. G11C17/00, H01L27/10, H01L29/78

**PURPOSE:** To attain high reliability, by using a part of location of a memory as an exclusive location storing the number of times of write to the said memory device for confirming the number of times of program.

**CONSTITUTION:** An exclusive location 2 in all block number 1 of a storage area is allocated to store the number of times of program of said memory and the number of bits of the location 2 corresponds to the limit value of the number of times of program of said memory. Further, every time the program write to said memory takes place, the location 2 is read out, the stored value is counted up, and the counted-up value is stored in the location again. Then, the program is written in the storage area other than the location 2.



(\* no document attached)

Japanese Patent Application KOKAI No. 58-215795

Date of KOKAI: December 15, 1983

Title of the Invention: Non-volatile memory device

Application No. 57-08308

filed June 8, 1982

Inventor: Yoshiyuki Tanaka

Applicants: Tokyo Shibaura Denki K.K.

#### Specification

1. Title of the Invention:

Non-volatile memory device

2. The Claim:

A device consisting of an electrically programmable non-volatile memory, wherein exclusive location used as a counting area which stores the number of times data was written there is partly allocated.

3. Detailed Explanation of the Invention

(Field of the invention)

This invention relates to a non-volatile memory device, and especially to the electrically programmable semiconductor non-volatile memory device.

(Background of the invention)

The semiconductor non-volatile memory device consists of MOS-FET's for storing binary data. Each MOS-FET stores charge as binary data, and it keeps charge stored although no power is

supplied to the memory cells.

Various types of non-volatile memories have been proposed, and UV-EPROM (ultraviolet erasable and programable ROM) is one of the most popular memories of these types. If UV-EPROM is exposed to the ultraviolet UV rays outside the circuit, charges are erased from or written into the UV-EPROM.

An EEPROM( electrically erasable and programable ROM) is another one of the most popular memories of these types. Data can be erased from or written into the EEPROM while the EEPROM is being installed in the circuit if the erasing-and-writing device is used together with the EEPROM circuit. An EEPROM can thus be used for such a system that the stored contents may change frequently, typically a cash register.

An EEPROM can be used together with a static RAM so as to constitute a non-volatile RAM. The EEPROM in the non-volatile RAM provides the same capacity as the static RAM, and it can operate in the same mode while the power is on. When the power goes off, information stored in the EEPROM is kept stored although information in the static RAM disappears. At that time, control goes to the EEPROM starting with the static RAM. When the power goes on again, information moves from the EEPROM to the static RAM. The above processes are the way of keeping the information stored while the power is off.

A high voltage is required for writing data into an EEPROM, and this high voltage limits the alteration of memory

contents and also the number of times data was reprogramed. The number of times data was reprogramed is currently limited to 1,000 to 10,000 for an EEPROM. This limitation is mandatory, and the reliability is not assured for the reprograming exceeding the limited number of times.

The principle of operation of the EEPROM and the limitation on the number of times data was reprogramed will be described hereafter. Figure 1 shows the cross-sectional view of the typical EEPROM cell. Figure 1(a) shows the charge flow when data is written, and Figure 1(b) shows the charge flow when data is erased. In Figure 1, first polycrystalline silicon layer forming first electrode 11, second polycrystalline silicon layer forming floating gate 12, and third polycrystalline silicon layer forming second erase-and-write electrode 13 are provided on P-type silicon substrate 10 together with insulation layer 14 made of  $\text{SiO}_2$ . Floating gate 12 is located between first and second electrodes 11 and 13, and floating from these electrodes.

For the programing of data, first electrode 11 is set at a voltage of 0V or common potential, and second electrode 13 is set at high voltage (+V). (See Figure 1(a).) At that time, floating gate 12 goes to high voltage (+V) due to static coupling to second electrode 13. This causes a high electric field between first electrode 11 and floating gate 12. Thus, electrons move from first electrode 11 to floating gate 12 due

to tunneling and these electrons are captured by floating gate 12. After electrons are completely captured by floating gate 12, second electrode 13 is set at a voltage of 0V to complete the programing. At that time, floating gate 12 is kept at negative voltage since electrons are being captured by floating gate 12.

Next, consider that the corresponding cell has been programed by the electrons captured by floating gate 12. (See Figure 1(b).) For the erase of data, first electrode 11 is set at a voltage of 0V, floating gate 12 at a voltage of 0V, and second electrode 13 at high voltage (+V). A high electric field is generated between floating gate 12 and second electrode 13, and electrons move from floating gate 12 to second electrode 13 through insulation layer 14 due to tunneling. When electrons captured by floating gate 12 are completely moved to second electrode 13, the erasing of data is completed. At that time, second electrode 13 is set at a voltage of 0V.

As described above, the programed state is defined as that in which electrons have been captured by floating gate 12 to such a level that in which floating gate 12 is set at negative voltage. The erased state is defined as that in which electrons captured by floating gate 12 have completely been moved away so that floating gate 12 is set at a voltage of 0V. The former corresponds to logical 1 and the latter to logical

0, and vice verse. The programed state becomes logical 1 in some cases, and logical 0 in the other case. Logical states are defined by peripheral devices.

The number of times data is reprogramed in an EEPROM is limited due to the motion of electrons from first electrode 11 to floating gate 12 by tunneling when second electrode 13 is set at high voltage for the programing of data. That is: electrons move from first electrode 11 to floating gate 12 through the insulation layer of  $\text{SiO}_2$  and vice versa. This type of electron motion puts stress on the insulation layer and it degrades the insulation layer. The insulation layer is not so strongly stressed when data is written into the cell while data is being erased, and the degree of degradation is quite few.

When programs are frequently altered in the EEPROM installed in a certain system, the memory contents may disappear in some cases as described above. The maximum number of times data will be reprogramed in an EEPROM is determined in accordance with the expected life of the EEPROM in a certain system, and the EEPROM is thus replaced in predetermined time intervals. This maintainance method is doubtful from the view point of reliability.

(Objective of the invention)

The objective of the present invention is to provide the non-volatile memory device wherein the number of times data is reprogramed can be assured to assure high reliability.

(Outline of the invention)

The non-volatile memory device built in accordance with the present invention provides a special memory cell location wherein the number of times data was reprogramed is stored so that one could know the remaining number of times data can be reprogramed.

(Advantages of the invention over the technique in the prior art)

In accordance with the present invention, one can easily know the remaining number of times data can be reprogramed in the corresponding memory device, and the memory contents never disappear in such a system that data is frequently reprogramed. Thus, the reliability can be improved in such a manner as described above. Unlike the decision on the EEPROM device life in the prior art, the number of times data was reprogramed in the device can accurately be known. Thus, the device is never replaced before its life, and the device can be used economically.

(Embodiments of the invention)

The present invention will be described hereafter referring to the drawings.

Figure 2 shows the memory areas of an EEPROM built in accordance with the present invention.

In Figure 2, 1 indicates the entire memory areas, and 2 indicates the exclusive location called the counter area

wherein the number of times data was reprogrammed is stored. Memory area 1 includes counter area 2. The number of bits in counter area 2 is determined by the total number of times data can be reprogrammed. Counter area 2 thus occupies the required number of bits in memory area 1.

How to count the number of times data was reprogrammed will be described hereafter.

First, counter area 2 is initialized (typically to 0). The contents of counter area 2 are read out of the memory device each time a program is written into the memory area, and at that time the number which is read out of counter area 2 is incremented (typically by one). The updated number is then stored in counter area 2 again. Next, a program is written into the memory area other than counter area 2.

Although the contents of counter area 2 are first incremented and thereafter a program is written into the memory area other than counter area 2, a program can first be written into the memory area other than counter area 2 and thereafter the contents of counter area 2 can be incremented. The process of this operation depends on the design criteria.

Figure 3 shows the memory areas of the non-volatile RAM consisting of an EEPROM and an RAM. In Figure 3, 3 indicates the RAM area, and the other numbers for the EEPROM are as indicated in Figure 2. Counter area 2 is first initialized (typically to 0). Data is normally read from or written into



RAM 3 during the system operation. The contents of RAM 3 are transferred to the EEPROM to keep them stored when the power is off in the system.

Before the contents of RAM 3 are transferred to the EEPROM, data is read out of exclusive location 4 (counter area 4) which corresponds to exclusive location 2 in the EEPROM. Data read out of counter area 4 is incremented and then written into counter area 4 again. After the contents of counter area 4 are updated in this manner, the contents of RAM 3 are stored in memory area 1. At that time, the contents of counter area 4 are stored in counter area 2.

Before RAM 3 is used again, the contents of memory area 1 and counter area 2 are respectively written (recalled) into RAM 3 and counter area 4.

The number of times data was reprogrammed is thus recorded and kept stored as part of the non-volatile memory contents. This informs the user of the remaining number of times data can be reprogrammed, and this number never disappear.

[Variation of the invention].

In the above embodiment, the contents of counter area 2 or 4 are incremented every time data is reprogrammed. If the maximum permissible number of times for the reprogramming is preset as initial data, the contents of the counter area can be decremented every time data is reprogrammed. At that time, the remaining number of times data can be reprogrammed can be known.

When the number of times data was reprogramed becomes a predetermined value, a display typically a CRT display or a lamp indicator can inform the operator of the excess number of times or the prohibition of reprograming.

(Brief description of the drawings)

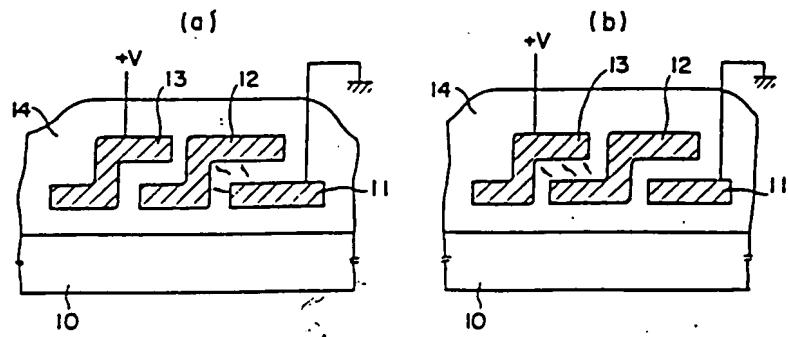
Figure 1 shows the cross-sectional views of an EEPROM, where data has been written into the cell in Figure 1(a), and data has been erased in Figure 1(b).

Figure 2 shows an embodiment of the memory device built in accordance with the present invention.

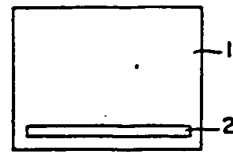
Figure 3 shows another embodiment of the memory device built in accordance with the present invention.

- 1...memory area
- 2...counter area
- 3...RAM
- 4...counter area

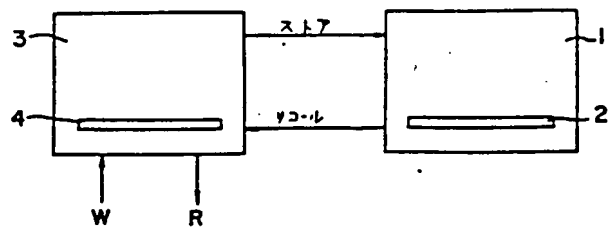
第 1 図



第 2 図



第 3 図



⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭58-215795

⑰ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑱ 公開 昭和58年(1983)12月15日

G 11 C 17/00

1 0 1

6549-5B

H 01 L 27/10

6655-5F

発明の数 1

29/78

7514-5F

審査請求 未請求

(全 4 頁)

⑲ 不揮発性メモリ装置

青梅市末広町二丁目9番地東京

芝浦電気株式会社青梅工場内

⑳ 特 願 昭57-98308

㉑ 出 願 人 東京芝浦電気株式会社

㉒ 出 願 昭57(1982)6月8日

川崎市幸区堀川町72番地

㉓ 発 明 者 田中宣幸

㉔ 代 理 人 弁理士 猪股清 外3名

明 細 書

1. 発明の名称 不揮発性メモリ装置

2. 特許請求の範囲

電氣的にプログラム可能な不揮発性メモリを用いた装置において、上記メモリの一部ロケーションを当該メモリ装置への書き込み発生回数を記憶する専用ロケーションとして用いることを特徴とする不揮発性メモリ装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は不揮発性メモリ装置、特に電氣的にプログラム可能な半導体不揮発性メモリ装置に関する。

〔発明の技術的背景とその問題点〕

半導体不揮発性メモリはMOS形FETを利用して書き込みの量により2値情報を記憶させるようにしたもので、電源電圧を印加しなくても記憶内容

を保持できるという特徴を有する。

かかる不揮発性メモリには種々のものがあるが、今までのところ、いわゆるUV-EPROM(Ultra Violet-Erasable & Programmable ROM)が多く使用されている。このUV-EPROMは記憶内容を消去するのに紫外線を照射して行うものであるが、書き込み、消去に際しては回路から取外さなければならないという不都合がある。

そこで、最近脚光を浴びているのが、EEPROM(Electrically Erasable & Programmable ROM)である。このEEPROMは実装状態のまま別途設けた書き込み、消去装置により自由に消去、書き込みを行うことができるという長所を有しているため、記憶内容の変更が頻発するようなシステム、例えば金融登録機などには最適である。

一方、EEPROMは通常のスタティックRAMと組み合わせて構成される不揮発性RAMにも用いられる。この不揮発性RAMは同容量のスタティックRAMとEEPROMとで構成され、電源投入中に於いて通常のRAMとして動作させ、電源のしや断直

前にスタティックRAMに格納されている内容を一旦EEPROMへ移してそのまま保持しておき、電源の再投入後にEEPROM側から再びスタティックRAMへ戻すようにして不揮発性を確保するものである。

かかるEEPROMが有する問題点は、書き込みの際して高電圧を印加する必要があるため、記憶内容の変更、すなわちプログラム回数が制限されることである。現在のところ、プログラム回数の限度は一般に1000~10000回程度であるとされている。使用に際してはこの制限回数を絶対に守らなければならない。限度を越えた場合の記憶内容はその信頼性において全く保証の限りではないからである。

ここで、EEPROMの動作原理ならびにプログラム回数が制限される理由について説明する。第1図は代表的なEEPROMの1セルについての断面図であり、(a)はプログラムの書き込み時の状態、(b)は消去時の状態をそれぞれ示している。第1図において、P形Si基板10上には第1層ポリシリ

コンの第1電極11、第2層ポリシリコンのフローティングゲート12、第3層ポリシリコンの第2電極(書き込み、消去用)がSiO<sub>2</sub>絶縁層14とともに設けられている。フローティングゲート12は第1電極11と第2電極13との間にフローティング(すなわち、浮遊)状態で配置されている。

プログラムする場合(第1図(a)参照)、第1電極11を0[V]又はアース電位に固定し、第2電極13に正の高電位+Vを印加する。このとき、フローティングゲート12の電位も第2電極13との静電結合により正の高電位+Vまで上昇する。すると、フローティングゲート12と第1電極11との間に高電界が発生し、トンネル効果により第1電極11からフローティングゲート12に向って電子が移動し、その電子はフローティングゲート12に捕獲される。電子が十分に捕獲された状態で第2電極13の電位を0[V]に戻し、プログラム動作を終了する。この状態ではフローティングゲート12の電位は負の電位となつている。電子を捕獲しているからである。

次に、消去する場合(第1図(b)参照)について述べる。まず、このセルはすでにプログラムされ、フローティングゲート12には電子が捕獲されているものとする。第1電極11を0[V]に固定し、フローティングゲート12を0[V]とし、第2電極13に+Vの電圧を印加する。すると、フローティングゲート12と第2電極13との間に高電界が発生し、フローティングゲート12に捕獲されていた電子はトンネル効果によりSi絶縁層14を抜けて第2電極13へ追い出される。捕獲電子が存在しなくなつた状態で消去動作は終了し、第2電極13を0[V]に戻す。

以上からわかるように、フローティングゲート12に電子が捕獲されて負の電位になつている状態がプログラム状態であり、その逆が消去状態である。これら2つの状態がメモリ外部での信号論理"1"、"0"に対応する。ただし、プログラム状態が論理"1"となるか、消去状態が"0"となるかは一義的には定まらない。周辺装置との関係で決まるものだからである。

以上のEEPROMにおいて、プログラム回数が制限される原因はプログラムに際して第2電極13に高電圧を印加し、トンネル効果により第1電極11からフローティングゲート12に電子を移動させることにある。つまり、電子は第1電極11とフローティングゲート12間のSiO<sub>2</sub>絶縁層を突抜けて移動するためにストレスが加わり、絶縁層が劣化してしまふからである。なか、既に消去状態にあるセルに書き込み動作を行つてもセルにはそれほどのストレスは加わらないので劣化の発生割合はきわめて少ない。

このようなEEPROMをプログラムの変更がひんばんに行われるシステムに使用した場合に記憶内容を消失するおそれがあることは先に述べた通りである。従来ではシステムの使用期間等から適当に判断し、しかるべき時期にEEPROMを交換するという対策を講じていた。しかし、このような使い方には信頼性という面で不安が残る、妥当なものではない。

(発明の目的)

そこで、本発明はEEPROM において当該メモリのプログラム回数を確認することができ、それによつて高信頼性を確保しうる不揮発性メモリ装置を提供することを目的とする。

#### 〔発明の概要〕

上記目的を達成するため、本発明による不揮発性メモリ装置は、当該メモリ装置への書き込み回数を順次記憶するメモリセルで構成されるロケーションを設け、このロケーションの格納値を知ることにより当該メモリの使用限界を知りうるようにした点に特徴を有する。

#### 〔発明の効果〕

かかる構成を有する本発明によれば、当該メモリ装置の使用限界を正確かつ確実に知ることができ、プログラム変更をひんぱんに行うようなシステムにおいて記憶内容を消失してしまうようなことを防止することができ、信頼性を向上しうる。また、従来のような予測による判断とは異なり、確実に書き込み回数を知りうるので、未だ余裕のあるものを交換してしまうという不経済を抑制

することができる。

#### 〔発明の実施例〕

以下、本発明を図示する実施例に基づいて詳述する。第2図は本発明によるメモリ装置であつて、EEPROM 単独の場合の実施例を示すブロック図である。

第2図において、1は記憶エリアの全ブロック数を示しており、その中の特定ロケーション（以下、専用ロケーション）2が当該メモリのプログラム回数を格納しておくために割当てられている。専用ロケーション2のビット数は当該メモリのプログラム回数限度値に対応したものとし、対応するメモリセルを割当てて専用ロケーション2を構成する。

次にプログラム回数の計数動作を説明する。まず、予め専用ロケーション2を初期値（例えば、“0”）にセットする。それ以後、当該メモリへのプログラムの書き込みが発生するごとに専用ロケーション2を読出してその格納値をカウントアップ（例えば、+1）し、カウントアップされた値

を再度専用ロケーション2に格納する。次いで、専用ロケーション2以外の記憶エリアにプログラムを書き込む。なお、カウントアップを先にするか、プログラムの書き込みを先にするか設計上の問題である。

第3図は通常のRAM とEEPROM を組み合わせた不揮発性RAM に適用した例を示すブロック図である。第2図において、3はRAM を示しており、EEPROM については第2図の符号を引用する。まず、専用ロケーション2を予め初期値（例えば、“0”）にセットしておく。RAM3は通常のシステム動作において各種情報が書き込まれたり、読出されたりするもので、例えばシステムの電源OFF時にそのRAM3の内容をEEPROM 側にストアして保持する。

いま、RAM3からその格納内容をEEPROM へストアしようとする場合、そのストアする直前にRAM3 に設けられた専用ロケーション4を読出す。この専用ロケーション4はEEPROM の専用ロケーション2と対応するものである。読出され

た専用ロケーション4の内容をカウントアップしたのち再度専用ロケーション4に書き込む。この専用ロケーション4が更新されたのち、RAM3の内容を記憶エリア1にストアする。このとき専用ロケーション4の内容も専用ロケーション2にストアする。

次に、再びRAM3を使用する場合には、EEPROM の記憶エリア1および専用ロケーション2の内容をそつくりそのままRAM3 および専用ロケーション4に書き込む（これをリコールという。）。このようにして、当該EEPROM のプログラム回数は必ず記憶され、しかも不揮発状態で保持されるから、使用限度を正確かつ確実に知ることができる。その結果、重要な情報を消失するようなことを防止することができる。

#### 〔発明の変形例〕

上述した実施例では、プログラムの書き込み発生毎に専用ロケーション2または4の内容を1インクリメントすることで更新するものとしたが、予め初期値として当該EEPROM に保証される最大

プログラム回数をプリセットしておき、プログラムの変更毎にその内容を1デクリメントするようにしてもよい。そのようにした場合、当該EEPROMは残り何回プログラムの変更が可能であるかを知ることができる。また、規定プログラム回数に達した場合に、何らかの表示（例えば、CRTディスプレイ、ランプ表示等）を行なつて知らしめるようにしたり、情報の消失を積極的に防止するためプログラムの変更を禁止するようにしてもよい。

#### 4. 図面の簡単な説明

第1図は一般的なEEPROMの1セルについての断面図で、(a)はプログラムの書き込み状態、(b)は消去状態を示す図。

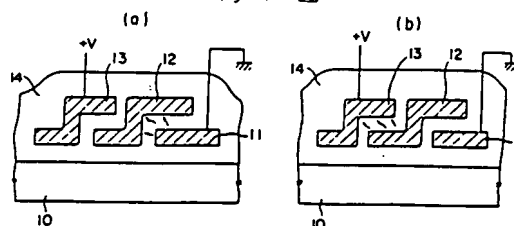
第2図は本発明によるメモリ装置の実施例を示すブロック図。

第3図は他の実施例を示すブロック図である。

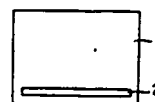
1…記憶エリア、2…専用ロケーション、3…RAM、4…専用ロケーション。

出願人代理人 猪 股 清

第1図



第2図



第3図

